

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-176473
 (43)Date of publication of application : 09.07.1990

(51)Int.Cl.

G01R 19/165

(21)Application number : 63-333763

(71)Applicant : NEC CORP

(22)Date of filing : 27.12.1988

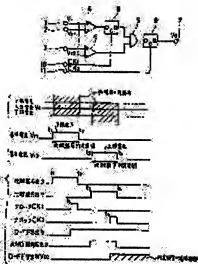
(72)Inventor : SHIRATORI AKIHIRO

(54) VOLTAGE DETERMINATION CIRCUIT

(57)Abstract:

PURPOSE: To determine successively a peak value of a periodic waveform and a voltage such as a DC voltage and to facilitate the determination of appropriateness by latching outputs of first and second comparators.

CONSTITUTION: An input signal from a signal input terminal 1 being taken as a positive-side input, it is compared with a reference voltage as a negative-side input from a reference voltage input terminal 2 by a first comparator 4 of a voltage determination circuit, and the input signal from the terminal 1 taken as the negative-side input and a reference voltage as the positive-side input from a reference voltage input terminal 3 are compared with each other by a second comparator 5. An output of the result of comparison by the first comparator 4 is latched in first D-FF 8 by a clock DK1 from a clock input terminal 10, and the logic of an output of the FF 8 and an output of the comparator 5 is computed in an AND circuit 6. An output of this circuit 6 is latched in second D-FF 9 by a clock from a clock input terminal 11 and the result VO of determination is outputted from a signal output terminal 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-176473

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月9日

G 01 R 19/165

C

7905-2G

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 電圧判定回路

⑯ 特 願 昭63-333763

⑰ 出 願 昭63(1988)12月27日

⑱ 発 明 者 白 取 昭 宏 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

電圧判定回路

2. 特許請求の範囲

(1) 入力信号を正側入力とし第1の基準電圧を負側入力とする第1の比較器と、前記入力信号を負側入力とし第2の基準電圧を正側入力とする第2の比較器と、前記第1の比較器の出力を第1のクロック信号でラッチする第1のD-フリップフロップ回路と、この第1のD-フリップフロップ回路の出力と前記第2の比較器の出力とを入力としその論理積を出力するAND回路と、このAND回路の出力を第2のクロック信号でラッチする第2のD-フリップフロップ回路とを具備し、前記第1、第2のクロック信号を所定のタイミングで入力すると共に、前記第2のD-フリップフロップ回路の出力を判定出力としたことを特徴とする電圧判定回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は電圧判定回路に関し、特に、アナログ電圧が規格範囲内か否かを離散的に判定する電圧判定回路に関する。

[従来の技術]

従来、アナログ電圧のレベルが規格範囲内か否かを判定する電圧判定回路として第5図に示す回路が知られている。この回路において、信号入力端子1には入力信号 V_i が入力され、第1の基準電圧入力端子2には第1の基準電圧 V_{r1} が入力され、第2の基準電圧入力端子3には第2の基準電圧 V_{r2} が入力される。

入力信号 V_i は、比較器4の正側入力と比較器5の負側入力に入力されている。基準電圧 V_{r1} は比較器4の負側入力に入力され、基準電圧 V_{r2} は比較器5の正側入力に入力されている。比較器4及び5の出力はAND回路6へ入力され、ここで論理積されて判定出力 V_o として信号出力端子7から出力される。

第5図において基準電圧 V_{r1} には入力電圧範囲の下限電圧を与え、基準電圧 V_{r2} には入力電圧範

図の上限電圧を与える。

この回路によれば、入力電圧が規格電圧範囲より低い場合は比較器4の出力が“L”レベルとなり、また、入力電圧が規格電圧範囲より高い場合は比較器5の出力が“L”レベルとなり、夫々AND回路6を通して出力端子7を“L”レベルとし、規格電圧範囲外であることを知らせる。

また、入力電圧が規格電圧範囲内にある場合には、比較器4及び5の出力は共に“H”レベルとなり、AND回路6を通して信号出力端子7を“H”レベルとして、規格電圧範囲内であることを知らせる。

【発明が解決しようとする課題】

しかしながら、上述した従来の電圧判定回路では、例えば、正弦波のピーク値判定回路のように周期的に変動するレベルを判定する場合、判定時刻以外の時刻でも連続した判定が行われるため、可否の判定が難しいという欠点がある。

本発明はかかる問題点に鑑みてなされたものであって、周期波形に関しても任意のタイミングで

連続した判定を行うことができる電圧判定回路を提供することを目的とする。

【課題を解決するための手段】

本発明に係る電圧判定回路は、入力信号を正側入力とし第1の基準電圧を負側入力とする第1の比較器と、前記入力信号を負側入力とし第2の基準電圧を正側入力とする第2の比較器と、前記第1の比較器の出力を第1のクロック信号でラッチする第1のD-フリップフロップ回路と、この第1のD-フリップフロップ回路の出力と前記第2の比較器の出力とを入力としその論理積を出力するAND回路と、このAND回路の出力を第2のクロック信号でラッチする第2のD-フリップフロップ回路とを具備し、前記第1、第2のクロック信号を所定のタイミングで入力すると共に、前記第2のD-フリップフロップ回路の出力を判定出力としたことを特徴とする。

【作用】

本発明によれば、第1の比較器で入力信号と第1の基準電圧とを比較し、その結果を第1のクロ

ック信号で第1のD-フリップフロップ回路（以下、D-FFと略記する）にラッチし、更に、第2の比較器で入力信号と第2の基準電圧とを比較し、その結果と前記第1のD-FFのラッチ出力との論理積結果を第2のクロック信号で第2のD-FFにラッチするようにしている。従って、第1、第2のクロック信号を、例えば、周期波形のピークタイミングを合わせて交互に与えることにより、周期波形のピーク値のレベル判定を連続的に行うことができる。

【実施例】

次に、本発明の実施例について添付の図面を参照して説明する。

第1図は本発明の実施例に係る電圧判定回路を示す回路図である。この回路において信号入力端子1には入力信号 V_i が入力され、第1の基準電圧入力端子2には第1の基準電圧 V_{r1} が入力され、更に、第2の基準電圧入力端子3には第2の基準電圧 V_{r2} が入力される。入力信号 V_i は、比較器4の正側入力と比較器5の負側入力に入力されて

いる。また、基準電圧 V_{r1} は比較器4の負側入力に入力され、基準電圧 V_{r2} は比較器5の正側入力に入力されている。比較器4の出力はD-FF8に入力され、D-FF8の出力と比較器5の出力とは、AND回路6に入力されている。AND回路6の出力はD-FF9へ入力され、このD-FF9の出力が判定出力として信号出力端子7から出力されるようになっている。D-FF8のクロック信号 CK_1 はクロック入力端子10を介して与えられ、D-FF9のクロック信号 CK_2 はクロック入力端子11を介して与えられている。

この回路において、基準電圧 V_{r1} には入力電圧範囲の下限電圧を与え、基準電圧 V_{r2} には入力電圧範囲の上限電圧を与える。

第2図は本実施例の回路の動作時のタイムチャート図である。図中、時刻 t_1 乃至 t_2 では基準電圧 V_{r1} から下限電圧が印加され、比較器4で比較判定が行われる。時刻 t_3 乃至 t_4 では同様に基準電圧 V_{r2} から上限電圧が印加され、比較器5で比較判定が行われる。時刻 t_5 でクロック信号

CK₁がD-FF8に与えられ、比較器4での判定結果がD-FF8にラッチされる。また、時刻 t_1 でクロック信号CK₂がD-FF9に与えられ、比較器5の判定結果と時刻 t_2 での判定結果とのAND結果がD-FF9へラッチされる。もし入力電圧V₁が規格電圧範囲であれば、出力端子11から“H”レベルが得られる。

この回路によれば、入力電圧V₁が正弦波等の周期波形であるときは、クロック信号CK₁、CK₂をそのピークタイミングに合わせて同じ周期で入力することによりピーク値等の判定ができる。

第3図は本発明の第2の実施例を示す回路図である。この回路は第1図における基準電圧入力端子2及び3を共用して一つの基準電圧入力端子12としたものである。

この実施例では基準電圧入力端子12からの基準電圧は下限電圧と上限電圧との差を振幅とする矩形波状の基準電圧V_rをクロック信号CK₁、CK₂に同期させて反転させることにより、上限判定と下限判定とを交互に繰返し、その判定結果

をD-FF8、9にラッチすることができる。

【発明の効果】

以上説明したように、本発明は比較器の出力をラッチすることにより、周期波形のピーク値及び直流電圧等の電圧判定を連続して判定できるという効果がある。

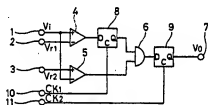
4. 図面の簡単な説明

第1図は本発明の実施例に係る電圧判定回路を示す回路図、第2図は第1図の回路の動作を示すタイムチャート図、第3図は本発明の他の実施例に係る電圧判定回路を示す回路図、第4図は第3図の動作を示すタイムチャート図、第5図は従来の電圧判定回路を示す回路図である。

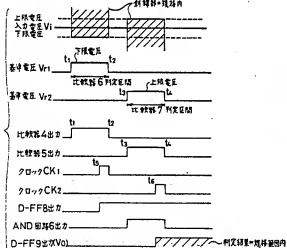
1：信号入力端子、2, 3, 12：基準電圧入力端子、4, 5：比較器、6：AND回路、7：信号出力端子、8, 9：D-FF、10, 11：クロック入力端子

出願人 日本電気株式会社

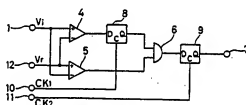
代理人 弁理士 藤地正憲



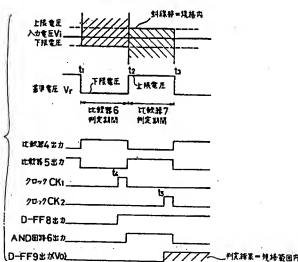
第1図



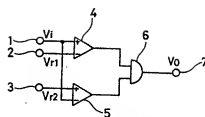
第2図



第3図



第4図



第 5 図